

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Syotaro ONO, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE HAVING VERTICAL MOS GATE STRUCTURE AND METHOD OF
MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-118462	April 23, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Registration No. 24,913


James D. Hamilton
Registration No. 28,421

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 4月23日

出願番号 Application Number: 特願2003-118462

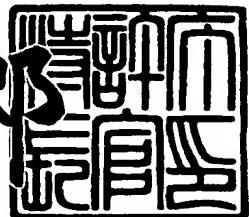
[ST. 10/C]: [JP2003-118462]

出願人 Applicant(s): 株式会社東芝

2003年 7月 8日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



【書類名】 特許願
【整理番号】 A000301026
【提出日】 平成15年 4月23日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/00
【発明の名称】 半導体装置及びその製造方法
【請求項の数】 12
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内
【氏名】 小野 昇太郎
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内
【氏名】 川口 雄介
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研
究開発センター内
【氏名】 中川 明夫
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第1導電型の第1半導体層と、

前記第1半導体層上に形成された第2導電型の第2半導体領域と、

前記第2半導体領域上に選択的に形成された第1導電型の第3半導体領域と、

前記第3半導体領域の表面から前記第3半導体領域及び前記第2半導体領域に亘って形成され、前記第3半導体領域を貫通し、その深さは前記第2半導体領域の最も深い底部より浅く、その底面下には第2半導体領域が存在しないトレンチと、

前記トレンチの対向する両側面上にゲート絶縁膜を介して形成され、互いに離隔したゲート電極と、

前記トレンチの両側面上の前記ゲート電極間に絶縁膜を介して形成された導電性材料と、

を具備することを特徴とする半導体装置。

【請求項 2】 第1導電型の第1半導体層と、

前記第1半導体層上に形成された第2導電型の第2半導体領域と、

前記第2半導体領域上に形成された第1導電型の第3半導体領域と、

前記第3半導体領域の表面から前記第3半導体領域及び前記第2半導体領域を貫通し、その深さは前記第2半導体領域の最も深い底部より浅く形成されたトレンチと、

前記トレンチの対向する両側面上に形成されたゲート絶縁膜と、

前記トレンチ内の前記ゲート絶縁膜上に形成されたゲート電極と、

前記トレンチの底面と前記ゲート電極との間に形成され、前記トレンチの両側面上に形成された前記ゲート絶縁膜よりも膜厚が厚い絶縁膜と、

を具備することを特徴とする半導体装置。

【請求項 3】 前記トレンチの底面と前記第1半導体領域との間には、前記第1半導体領域の不純物濃度より高い濃度の第1導電型の第4半導体領域が形成されていることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 前記トレンチの底面と前記第1半導体領域との間に形成された前記第4半導体領域は、前記第1半導体層と前記第2半導体領域との境界領域に離隔して配置されていることを特徴とする請求項3に記載の半導体装置。

【請求項5】 前記第2半導体領域上には、この第2半導体領域の不純物濃度よりも高い濃度の第2導電型の第5半導体領域が形成されており、この第5半導体領域上及び第3半導体領域上にはソース電極が形成されていることを特徴とする請求項1乃至4のいずれか1つに記載の半導体装置。

【請求項6】 前記導電性材料は、前記ソース電極に電気的に接続されていることを特徴とする請求項5に記載の半導体装置。

【請求項7】 前記導電性材料は、浮遊電極であることを特徴とする請求項1に記載の半導体装置。

【請求項8】 前記離隔したゲート電極は、前記トレンチの内部において一部分が接続されていることを特徴とする請求項1に記載の半導体装置。

【請求項9】 前記離隔したゲート電極が接続された前記一部分下の前記トレンチの底面と前記第1半導体領域との間には、前記ゲート絶縁膜と隣接する前記第2半導体領域の不純物濃度よりも高い濃度の第2導電型の第6半導体領域が形成されていることを特徴とする請求項8に記載の半導体装置。

【請求項10】 前記トレンチの底面と前記離隔したゲート電極との間、及び前記トレンチの底面と前記導電性材料との間に形成された絶縁膜は、前記トレンチの両側面上に形成された前記ゲート絶縁膜よりも膜厚が厚いことを特徴とする請求項1に記載の半導体装置。

【請求項11】 前記第1半導体層はドレイン領域であり、前記第2半導体領域はベース領域であり、前記第3半導体領域はソース領域であるMOS型電界効果トランジスタを構成していることを特徴とする請求項1または2に記載の半導体装置。

【請求項12】 半導体基板上に第1半導体層を形成する工程と、前記第1半導体層に所定の深さのトレンチを形成する工程と、前記第1半導体層の表面領域に、前記トレンチの側面に接する第2半導体領域を形成する工程と、

前記トレンチの対向する両側面上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に導電膜を堆積する工程と、
前記導電膜を異方性エッチングして、前記トレンチの両側面上のみに導電膜を
残す工程と、

前記トレンチの両側面上の前記導電膜をマスクにしたセルフアライン法により
不純物をイオン注入し、前記トレンチの底面下に第4半導体領域を形成する工程
と、

を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置に関し、特に高速なスイッチング特性が必要とされる
縦型MOS (Metal-Oxide-Semiconductor) ゲート構造を有する半導体装置及び
その製造方法に関するものである。

【0002】

【従来の技術】

従来より、半導体素子正面にトレンチ (trench: 溝) を形成し、これを用いて形成するトレンチ・ゲート構造は、IGBT (Insulated Gate Bipolar Transistor) やMOSFET (Field Effect Transistor) などの半導体素子に応用され、特に電力用などの用途において有利な構造である。

【0003】

例えば、トレンチ・ゲート構造を有するMOSFETは、スイッチング速度が
速く、電流容量が大きく、数十ボルト～数百ボルト程度の耐圧が得られることから、
携帯型端末やパソコン・コンピュータなどのスイッチング電源等に広く利
用されつつある。

【0004】

特に、電源システムの高速化、高効率化に伴い、DC-DCコンバータに用い
られるパワーMOSFETでは、素子のオン抵抗、帰還容量の低減はますます重
要視されている。図10に、従来のトレンチゲート型MOSFETの断面構造を

示す（例えば、特許文献1参照）。

【0005】

【特許文献1】

特開平5-7002号公報

【0006】

【発明が解決しようとする課題】

しかしながら、図10に示した従来のトレンチゲート型MOSFETでは、ゲート電極101とn-型半導体層（ドレイン層）102との対向面積が広いため、ゲートードレイン間の容量が大きい。このため、オンオフ時のミラー充電時間が長くなり、高速なスイッチングが望めないという問題がある。よって、電源システムの高速化（高周波化）、高効率化のためには、オン抵抗ならびゲートードレイン間容量の低減が急務である。

【0007】

そこでこの発明は、前記課題に鑑みてなされたものであり、オン抵抗が低く、高速なスイッチング特性を有する半導体装置及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

前記目的を達成するために、この発明の一実施形態の半導体装置は、第1導電型の第1半導体層と、前記第1半導体層上に形成された第2導電型の第2半導体領域と、前記第2半導体領域上に形成された第1導電型の第3半導体領域と、前記第3半導体領域の表面から前記第3半導体領域及び前記第2半導体領域に亘って形成され、前記第3半導体領域を貫通し、その深さは前記第2半導体領域の最も深い底部より浅く、その底面下には第2半導体領域が存在しないトレンチと、前記トレンチの対向する両側面上にゲート絶縁膜を介して形成され、互いに離隔したゲート電極と、前記トレンチの両側面上の前記ゲート電極間に絶縁膜を介して形成された導電性材料とを具備することを特徴とする。

【0009】

また、この発明の他の実施形態の半導体装置は、第1導電型の第1半導体層と

、前記第1半導体層上に形成された第2導電型の第2半導体領域と、前記第2半導体領域上に形成された第1導電型の第3半導体領域と、前記第3半導体領域の表面から前記第3半導体領域及び前記第2半導体領域を貫通し、その深さは前記第2半導体領域の最も深い底部より浅く形成されたトレンチと、前記トレンチの対向する両側面上に形成されたゲート絶縁膜と、前記トレンチ内の前記ゲート絶縁膜上に形成されたゲート電極と、前記トレンチの底面と前記ゲート電極との間に形成され、前記トレンチの両側面上に形成された前記ゲート絶縁膜よりも膜厚が厚い絶縁膜とを具備することを特徴とする。

【0010】

また、前記目的を達成するために、この発明の一実施形態の半導体装置の製造方法は、半導体基板上に第1半導体層を形成する工程と、前記第1半導体層に所定の深さのトレンチを形成する工程と、前記第1半導体層の表面領域に、前記トレンチの側面に接する第2半導体領域を形成する工程と、前記トレンチの対向する両側面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に導電膜を堆積する工程と、前記導電膜を異方性エッチングして、前記トレンチの両側面上のみに導電膜を残す工程と、前記トレンチの両側面上の前記導電膜をマスクにしたセルフアライン法により不純物をイオン注入し、前記トレンチの底面下に第4半導体領域を形成する工程とを具備することを特徴とする。

【0011】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態について説明する。説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0012】

【第1の実施の形態】

まず、この発明の第1の実施の形態の半導体装置について説明する。図1は、第1の実施の形態のMOSFETの構造を示す断面図である。

【0013】

図1に示すように、n+型半導体基板11の一方の主面上には、n-型エピタキシャル層12が形成されている。n型エピタキシャル層12上には、p型ベー

ス領域13が形成されている。さらに、p型ベース領域13の表面領域には、n+型ソース領域14が形成されている。

【0014】

前記n+型ソース領域14及びp型ベース領域13には、n+型ソース領域14の表面から前記n+型ソース領域14及びp型ベース領域13を貫通する所定の深さのトレンチ15が形成されている。このトレンチ15の前記所定の深さは、p型ベース領域13の最も深い底部より浅く、トレンチ15の底面下には、p型ベース領域13は存在せず、n-型エピタキシャル層12が存在している。このような構造を形成できるのは、トレンチ15の側面近傍のp型ベース領域13が基板側に膨らんだ形状を有しているためである。さらに、トレンチ15の底面とn-型エピタキシャル層12との間には、n-型エピタキシャル層12より不純物濃度が高いn型半導体領域16が形成されている。

【0015】

前記トレンチ15の両側面上にはゲート絶縁膜17が形成されており、このゲート絶縁膜17上には分離されたゲート電極（例えば、ポリシリコン）18がそれぞれ形成されている。言い換えると、トレンチ15の両側面上には、互いに離隔したゲート電極18が配置されている。さらに、これらゲート電極18上には、絶縁膜（例えば、酸化膜）19が形成されている。なお、ゲート電極18は、図示しないゲート配線に接続される。

【0016】

前記p型ベース領域13上には、前記トレンチ15の側面に接する前記n+型ソース領域14が配置されている。さらに、n+型ソース領域14に隣接してp+型半導体領域20が形成されている。なお、p+型半導体領域20は、後述するソース電極とp型ベース領域13との間にオーミックコンタクトを形成するために設けられている。

【0017】

前記絶縁膜19上、n+型ソース領域14上、及びp+型半導体領域20上にはソース電極21が形成されており、トレンチ15内のゲート電極18間には、絶縁膜19を介してソース電極21が埋め込まれている。さらに、n+型半導体

基板11の前記一方の主面に対向する他方の主面上には、ドレイン電極22が形成されている。

【0018】

このような構造を有するトレンチゲート型のMOSFETでは、ゲートードレイン間のオーバーラップ面積、すなわちゲート電極18とn型半導体領域16とが対向する面積を最小にできるため、ゲートードレイン間に形成される容量を低減することが可能である。

【0019】

また、トレンチ15側面上に分割して形成されたゲート電極18間に絶縁膜を介して形成されると共に、トレンチ15底面上の絶縁膜上に形成されたソース電極21を設けることで、トレンチ15底面下のn型半導体領域16はフィールドプレートの効果により通常のn-型エピタキシャル層12の不純物濃度よりも高濃度とすることができる。すなわち、n型半導体領域16をn-型エピタキシャル層12の不純物濃度よりも高濃度としても、MOSFETの耐圧が低下することはない。これらにより、ゲートードレイン間のスイッチング容量が最小となり、かつオン抵抗の低いMOSFETを形成することができる。

【0020】

次に、前記第1の実施の形態のMOSFETの製造方法について説明する。

【0021】

図2(a)、図2(b)、図2(c)、図3(a)、図3(b)、図3(c)は、前記第1の実施の形態のMOSFETの製造方法を示す各工程の断面図である。

【0022】

まず、図2(a)に示すように、n+型半導体基板11の一方の主面上に、エピタキシャル成長法によりn-型エピタキシャル層12を形成する。続いて、n-型エピタキシャル層12上に、熱酸化法により酸化膜31を形成する。

【0023】

次に、反応性イオンエッティング(以下、RIE)法により異方性エッティングを行い、図2(a)に示すように、n-型エピタキシャル層12に所定の深さのト

レンチ15を形成する。さらに、イオン注入法により、n-型エピタキシャル層12にp型不純物、例えばホウ素（B）を注入し熱処理を行って、前記トレンチ15の側面に接するp型ベース領域13を形成する。その後、酸化膜31を除去し、熱酸化法によりトレンチ15の側面上にゲート絶縁膜17を形成する。

【0024】

続いて、図2（b）に示す構造上に、すなわちゲート絶縁膜17上に、図2（c）に示すように、ポリシリコン膜32を堆積する。さらに、RIE法によりポリシリコン膜32を異方性エッチングして、図3（a）に示すように、トレンチ15の両側面上のみにゲート電極18としてのポリシリコンを残す。

【0025】

次に、図3（b）に示すように、後酸化法、あるいはCVD法によりゲート電極18上に酸化膜などの絶縁膜19を形成する。続いて、ゲート電極18をマスクにしたセルフアライン工程により、n型不純物、例えばリン（P）またはヒ素（As）をイオン注入し、図3（c）に示すように、トレンチ15の底面下にn型半導体領域16を形成する。この時（底部にn型不純物をイオン注入するとき）、ゲート電極上あるいはゲート電極に挟まれるトレンチ底部の絶縁膜は除去してあってもよい。

【0026】

また、トレンチ15の側面に接するp型ベース領域13の表面領域に、n型不純物、例えばリン（P）またはヒ素（As）をイオン注入し、選択的にn+型ソース領域14を形成する。さらに、n+型ソース領域14に隣接するp型ベース領域13の表面領域に、p型不純物、例えばホウ素（B）をイオン注入し、p+型半導体領域20を形成する。

【0027】

その後、n+型ソース領域14上、p+型半導体領域20上、及び絶縁膜19上に、ソース電極21を形成する。さらに、n+型半導体基板11の前記一方の主面に対向する他方の主面上に、ドレイン電極22を形成する。以上の工程により、図1に示したMOSFETが製造される。

【0028】

前述した製造工程では、ゲート電極18上に絶縁膜19を成長あるいは堆積した状態で、n型不純物イオンをイオン注入することにより、トレンチ15底面の絶縁膜17を介してゲート電極18と対向するn型半導体領域（ドレイン領域）16を最小に形成することができる。また、素子表面部にn+型ソース領域14を形成し、トレンチ15の側面上に残ったポリシリコン膜（ゲート電極）をゲート配線と接続することにより、ゲート絶縁膜17を介してポリシリコン膜と対向するトレンチ15の側面から底面にかけてのp型ベース領域13にチャネルが形成される。

【0029】

次に、この発明のその他の実施の形態のMOSFETについて説明する。

【0030】

図4は、この発明の第2の実施の形態のMOSFETの構造を示す断面図である。

【0031】

前記第1の実施の形態では、トレンチ15内の分割されたゲート電極18間に、絶縁膜19を介してソース電極21の一部を埋め込んでいたが、必ずしもこのようにゲート電極18間に形成する導電性材料を、ソース電極21と同一の材料で一体に形成したり、またはソース電極21に直接接続する必要はない。

【0032】

例えば、図4に示すように、トレンチ15内の分割されたゲート電極18間に絶縁膜19を介して、ソース電極21と異なる材質の導電性材料23を埋め込んでも良い。その他の構成及び効果については、前記第1の実施の形態と同様である。

【0033】

また、図5はこの発明の第3の実施の形態のMOSFETの構造を示す断面図である。図5に示すように、トレンチ15底面上の絶縁膜17Aの厚さを、トレンチ15側面上（チャネル部上）に形成されたゲート絶縁膜17より厚く形成してもよい。これは、ポリシリコン膜をRIE法にてエッチングした後に、さらに後酸化工程を追加すればよい。このような構造にすれば、前記第1の実施の形態

より、さらにゲートードレイン間の帰還容量が低減でき、スイッチング特性を高速化できる。その他の構成及び効果については、前記第1の実施の形態と同様である。

【0034】

さらに、図6はこの発明の第4の実施の形態のMOSFETの構造を示す断面図である。前記第1の実施の形態では、トレンチ15の両側面上に分割した2つのゲート電極18を形成したが、この第4の実施の形態ではトレンチ15内に1つのゲート電極24を形成する。また、トレンチ15底面上の絶縁膜17Aの厚さを、トレンチ15側面上（チャネル部上）に形成されたゲート絶縁膜17より厚く形成する。さらに、ゲート電極24下のp型ベース領域13とn-型エピタキシャル層12との境界領域部分のみに分離されたn+型半導体領域16A、16Bをそれぞれ形成する。このような構造にすれば、ゲートードレイン間の容量が低減でき、スイッチング特性を高速化できる。また、後述するような、ゲート電極の抵抗が高くなるという懸念も生じない。その他の構成及び効果については、前記第1の実施の形態と同様である。

【0035】

また、分割された2つのゲート電極構造を持つ前記第1～第3の実施の形態では、ゲート電極の抵抗が高くなるという懸念がある。しかし、この懸念は以下のような構造にすることで解消できる。

【0036】

例えば、ポリシリコン膜をRIE法にてエッチングした後に、スパッタ法によりポリシリコン膜上にチタニウム(Ti)を堆積し、熱工程を加えることにより、ポリシリコン表面をシリサイド化する。これにより、ゲート電極の抵抗を低減することができる。従来のゲートを分割させない構造と比較し、シリサイド化した面積を広く形成することが可能であるため、効果的にゲート抵抗の低減を図ることができる。

【0037】

また、素子表面から見た平面図は、通常、図7に示すように、トレンチ15、及びゲート電極18がストライプ形状になっている。これに対し、前記第1～第

3の実施の形態では、図8に示すように、2つのゲート電極18を構成する2本のポリシリコン配線の一部分で、2本のポリシリコン配線間にポリシリコンを残し、2本のポリシリコン配線間を接続した部分33を形成する。これにより、ゲート電極18の抵抗を低減することができる。

【0038】

図7及び図8中のA-A線に沿った断面は図1、図4、及び図5に各々示した通りであり、図8中のB-B線に沿った断面は図9に示す通りである。図8に示すように、ゲート電極18の一部でポリシリコンをトレンチ15内に残した部分33を形成した場合、図9に示すように、トレンチ15底面下にはn型半導体領域ではなく、p型ベース領域13よりも不純物濃度が高いp+型半導体領域25を形成する。これは、図9に示した断面構造では、ゲート電極26がトレンチ15全体に埋め込まれており、ゲートードレイン間の帰還容量が大きくなってしまうため、ゲート電圧印加時でもp+型半導体領域25が反転しないようにしたのである。図9ではトレンチ15底面下のみをp+型半導体領域25としたが、トレンチ15側面のチャネル部もp型ベース領域13よりも不純物濃度が高いp+型半導体領域としてもよい。

【0039】

なお、上記実施形態では、第1導電型をn型とし、第2導電型をp型として説明したが、第1導電型をp型、第2導電型をn型としても本発明の実施の形態と同様の効果が得られる。

【0040】

また、前述した各実施の形態はそれぞれ、単独で実施できるばかりでなく、適宜組み合わせて実施することも可能である。さらに、前述した各実施の形態には種々の段階の発明が含まれており、各実施の形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

また、本発明の実施の形態はその要旨を逸脱しない範囲で種々変形し実施が可能である。

【0041】

【発明の効果】

以上述べたようにこの発明によれば、オン抵抗が低く、高速なスイッチング特性を有する半導体装置及びその製造方法を提供することが可能である。

【図面の簡単な説明】

【図1】 この発明の第1の実施の形態のMOSFETの構造を示す断面図である。

【図2】 前記第1の実施の形態のMOSFETの製造方法を示す各工程の断面図である。

【図3】 前記第1の実施の形態のMOSFETの製造方法を示す他の各工程の断面図である。

【図4】 この発明の第2の実施の形態のMOSFETの構造を示す断面図である。

【図5】 この発明の第3の実施の形態のMOSFETの構造を示す断面図である。

【図6】 この発明の第4の実施の形態のMOSFETの構造を示す断面図である。

【図7】 参考例のMOSFETにおけるトレンチ及びゲート電極のレイアウトを示す平面図である。

【図8】 この発明の実施の形態のMOSFETにおけるトレンチ及びゲート電極のレイアウトを示す平面図である。

【図9】 図8中のB-B線に沿って切断した場合の断面図である。

【図10】 従来のトレンチゲート型のMOSFETの構造を示す断面図である。

【符号の説明】

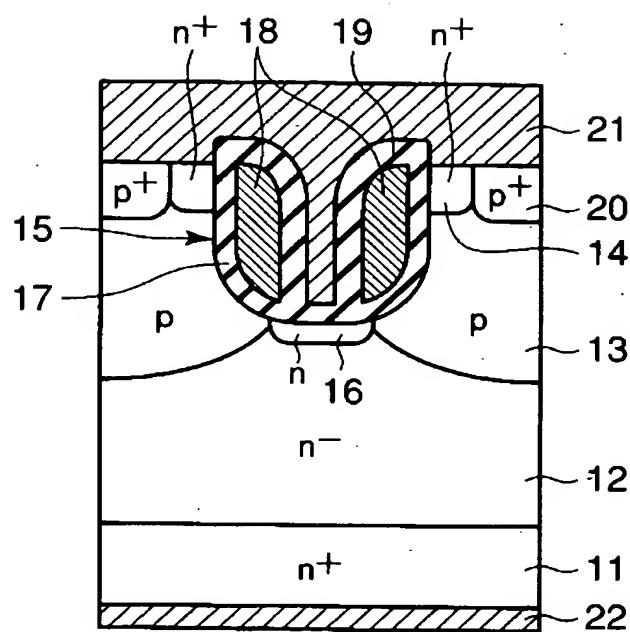
1 1 … n+ 型半導体基板、 1 2 … n- 型エピタキシャル層、 1 3 … p 型ベース領域、 1 4 … n+ 型ソース領域、 1 5 … トレンチ、 1 6 … n 型半導体領域、 1 6 A … n+ 型半導体領域、 1 6 B … n+ 型半導体領域、 1 7 … ゲート絶縁膜、 1 7 A … 絶縁膜、 1 8 … ゲート電極、 1 9 … 絶縁膜、 2 0 … p+ 型半導体領域、 2 1 … ソース電極、 2 2 … ドレイン電極、 2 3 … 導電性材料、 2 4 … ゲート電極、 2 5 … p+ 型半導体領域、 2 6 … ゲート電極、 3 1 … 酸化膜、 3 2 … ポリシリコン

膜、33…ポリシリコン残存部分。

【書類名】

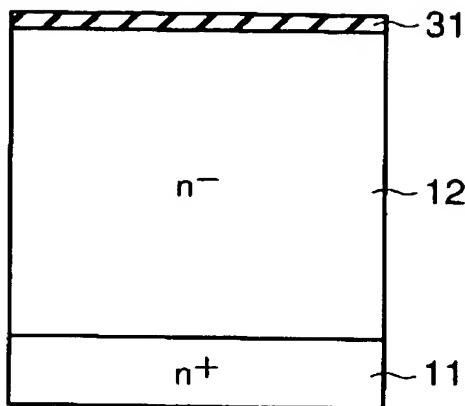
図面

【図 1】

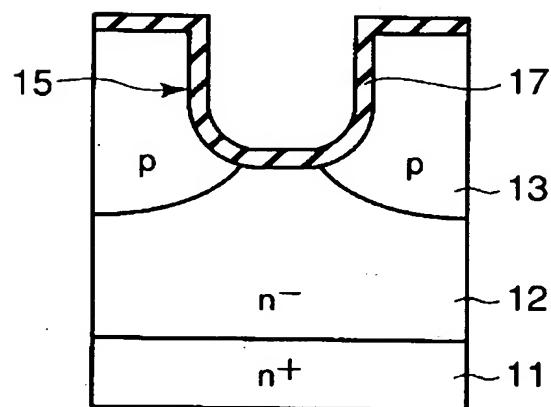


【図 2】

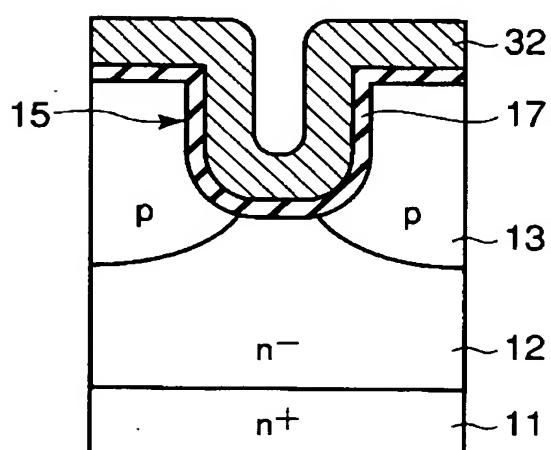
(a)



(b)

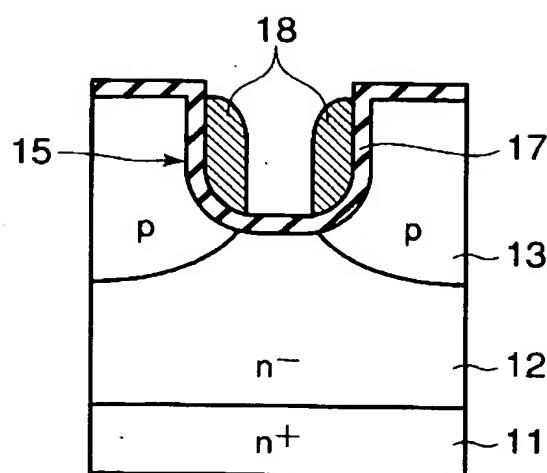


(c)

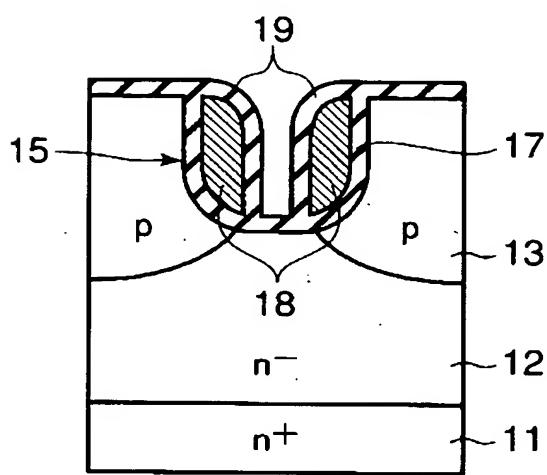


【図3】

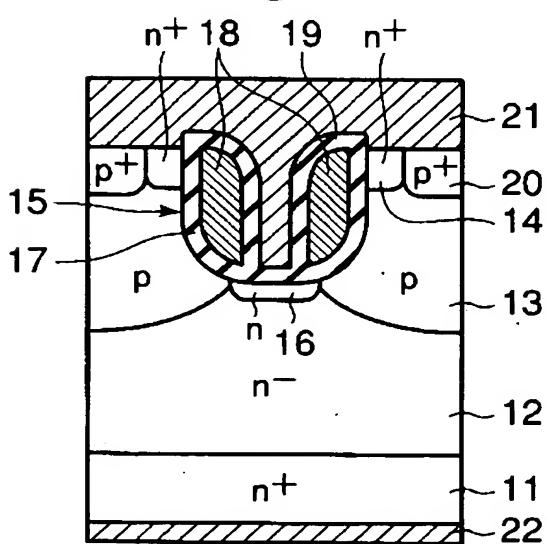
(a)



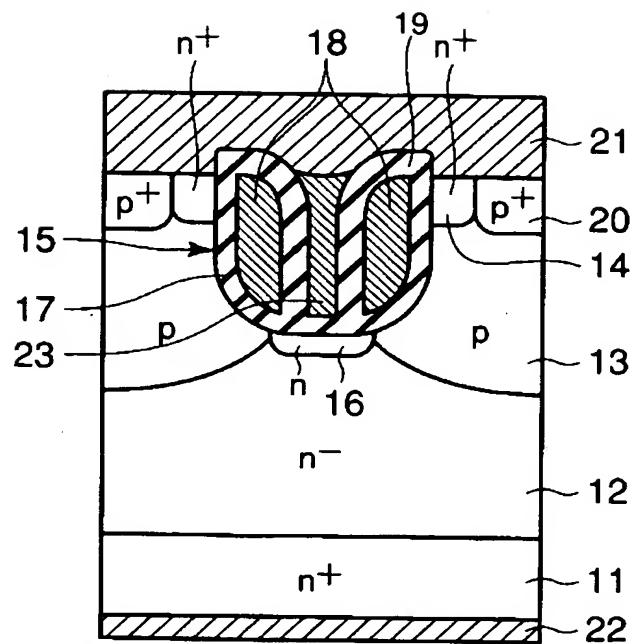
(b)



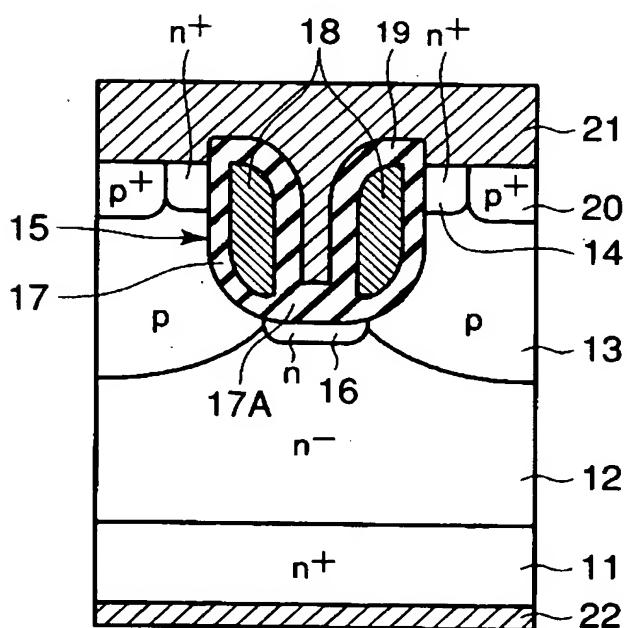
(c)



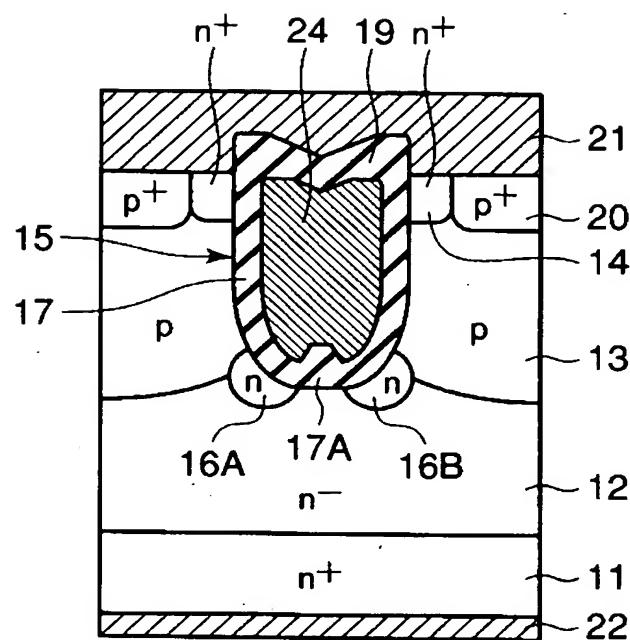
【図4】



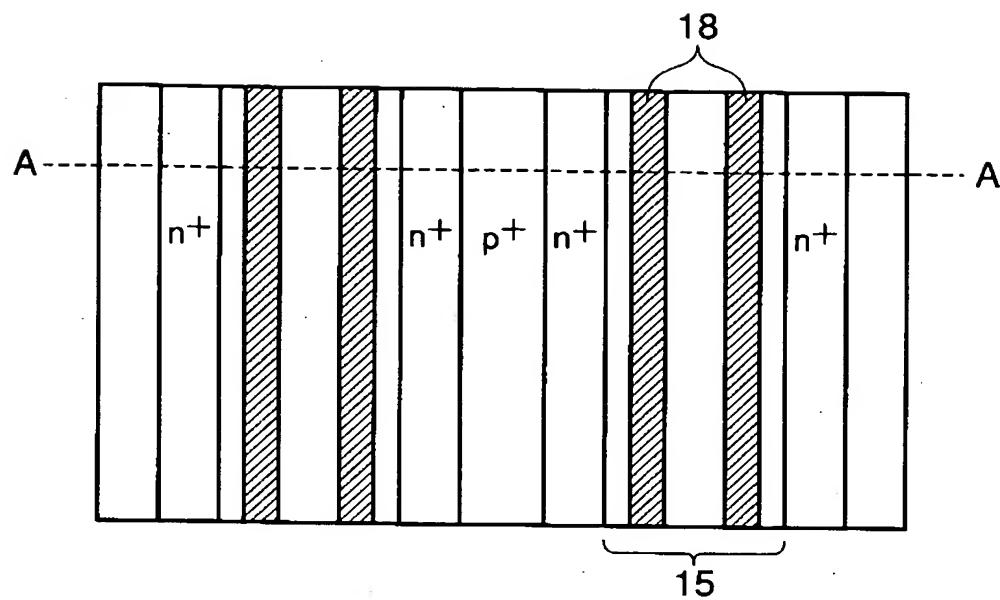
【図5】



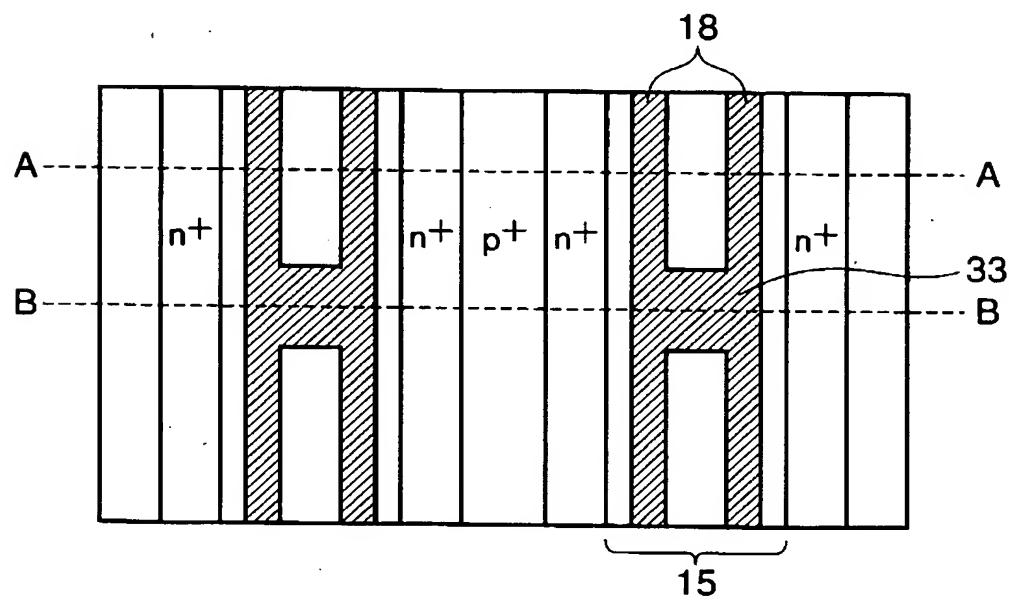
【図6】



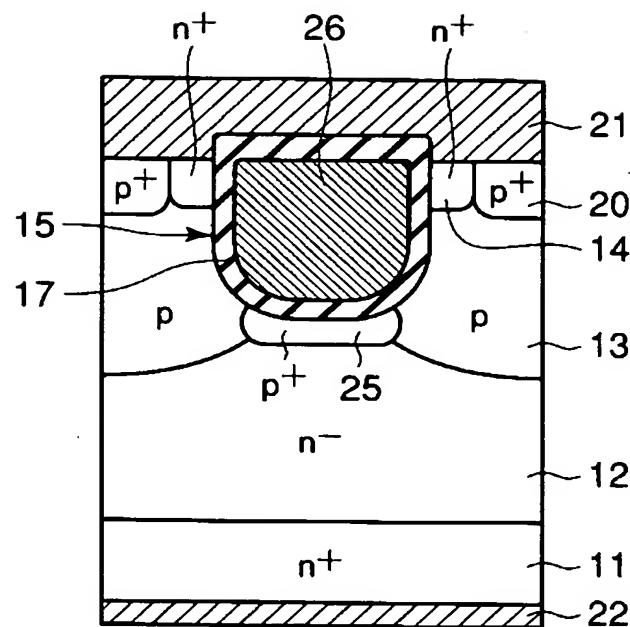
【図7】



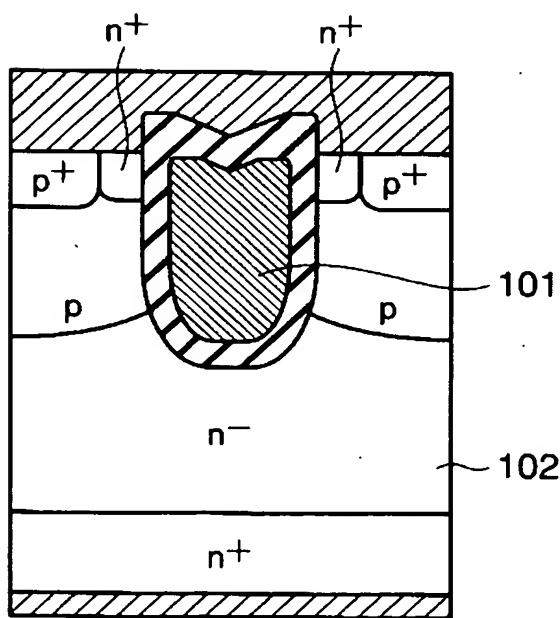
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 オン抵抗が低く、高速なスイッチング特性を有する半導体装置を提供する。

【解決手段】 n- 型エピタキシャル層12と、n- 型エピタキシャル層12上に形成されたp型ベース領域13と、p型ベース領域13上に形成されたn+ 型ソース領域14と、n+ 型ソース領域14の表面からこのn+ 型ソース領域14及びp型ベース領域13に亘って形成され、n+ 型ソース領域14を貫通し、その深さはp型ベース領域13の最も深い底部より浅く、その底面下にはp型ベース領域13が存在しないトレンチ15と、トレンチ15の対向する両側面上にゲート絶縁膜17を介して形成され、互いに離隔したゲート電極18と、トレンチ15の両側面上のゲート電極18間に絶縁膜19を介して形成された導電性材料とから構成される。

【選択図】 図1

特願2003-118462

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝

2. 変更年月日 2003年 5月 9日
[変更理由] 名称変更
住 所 住所変更
氏 名 東京都港区芝浦一丁目1番1号
株式会社東芝